

## DISK-REPRODUCING APPARATUS

Patent Number: JP2001067816  
Publication date: 2001-03-16  
Inventor(s): HORI YOSHIHIRO; WATABE HIROSHI  
Applicant(s):: SANYO ELECTRIC CO LTD  
Requested Patent: ☒ JP2001067816 (JP01067816)  
Application Number: JP19990243355 19990830  
Priority Number(s):  
IPC Classification: G11B20/14  
EC Classification:  
Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To reduce effects by local defects and reproduction failures at a training data field where reproduction clocks are corrected in phase.

**SOLUTION:** The apparatus includes a clock-generating means 110 for generating clocks on the basis of phase information, a clock phase-correcting means 113 for correcting a phase of the clock signal from the clock-generating means 110, a first correction amount-calculating means 111 for calculating a first correction amount to correct a phase difference of the corrected clock signal corrected by the clock-correcting means 113 and data recorded to a recording area, and supplying the first correction amount to the clock-correcting means 113, and a second correction amount-calculating means 112 for calculating a second correction amount. When data are not favorably reproduced by the clock signal corrected based on the first correction amount, the second correction amount is supplied to the clock-correcting means 113, so that the corrected clock signal is generated on the basis of the second correction amount.

Data supplied from the esp@cenet database - l2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-67816

(P2001-67816A)

(43)公開日 平成13年3月16日(2001.3.16)

(51)Int.Cl.<sup>7</sup>

G 1 1 B 20/14

識別記号

3 5 1

F I

G 1 1 B 20/14

テーマコード(参考)

3 5 1 A 5 D 0 4 4

審査請求 未請求 請求項の数7 O L (全 12 頁)

(21)出願番号

特願平11-243355

(22)出願日

平成11年8月30日(1999.8.30)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 堀 吉宏

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72)発明者 渡部 浩志

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74)代理人 100111383

弁理士 芝野 正雅

Fターム(参考) 5D044 BC01 BC03 CC04 GM03 GM14

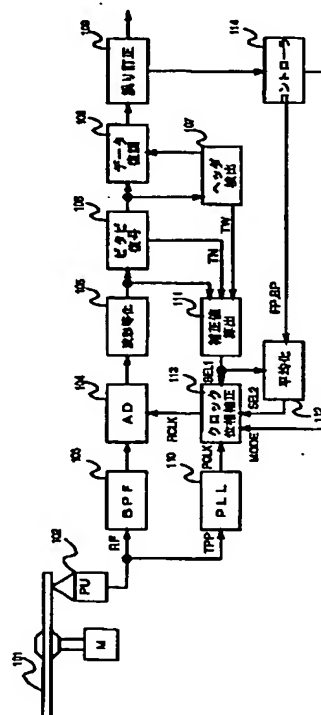
GM19

(54)【発明の名称】 ディスク再生装置

(57)【要約】

【課題】 再生クロックの位相補正を行うトレーニングデータフィールドにおける局所的な欠陥や、再生不良による影響を軽減する。

【解決手段】 前記位相情報に基づきクロックを生成するクロック生成手段110と、前記クロック生成手段からのクロック信号の位相を補正するクロック位相補正手段113と、このクロック補正手段113にて補正された補正クロック信号と前記データ領域に記録されたデータとの位相ずれを補正する第1の補正量を算出し、前記クロック補正手段に供給する第1の補正量算出手段111と、第2の補正量を算出する第2の補正量算出手段112を設け、前記第1の補正量に基づき補正された補正クロック信号による前記データの再生が良好に行われな  
い際、前記第2の補正量を前記クロック補正手段113に供給し、前記第2の補正量に基づき補正クロック信号を生成する。



**【特許請求の範囲】**

【請求項 1】 クロック生成の基準となる位相情報がトラック上に形成されると共に、前記トラック上の各データ領域の先頭にデータと同期したトレーニングデータが記録されたディスクを再生するディスク再生装置であって、

前記位相情報に基づきクロックを生成するクロック生成手段と、

前記クロック生成手段からのクロック信号の位相を補正するクロック位相補正手段と、

このクロック補正手段にて補正された補正クロック信号と前記データ領域に記録されたデータとの位相ずれを補正する第 1 の補正量を算出し、前記クロック補正手段に供給する第 1 の補正量算出手段と、

第 2 の補正量を算出する第 2 の補正量算出手段を設け、前記第 1 の補正量に基づき補正された補正クロック信号による前記データの再生が良好に行われないうち、前記第 2 の補正量を前記クロック補正手段に供給し、前記第 2 の補正量に基づき補正クロック信号を生成することを特徴とするディスク再生装置。

【請求項 2】 前記第 2 の補正量が、当該データ領域より前に記録されたデータ領域に対する補正量であることを特徴とする請求項 1 記載のディスク再生装置。

【請求項 3】 前記ディスクが、少なくとも 1 つ以上の前記トレーニングデータを含むデータ領域に対して、誤り訂正符号を付加したブロックを形成して記録されており、前記ディスク再生装置が、前記誤り訂正符号に基づいてデータ誤りの訂正及び検出を行う誤り訂正手段を備え、

前記誤り訂正手段の結果に基づき、前記データの再生の良否を判定することを特徴とする請求項 1 に記載のディスク再生装置。

【請求項 4】 前記第 2 の補正量が、当該ブロックより前に再生したブロック内のトレーニングデータに基づき算出された前記第 1 の補正量の平均値であることを特徴とする請求項 3 記載のディスク再生装置。

【請求項 5】 前記第 2 の補正量が、再生されたトレーニングデータの基づき算出された前記第 1 の補正量をリーク積分した積分値であることを特徴とする請求項 3 記載のディスク再生装置。

【請求項 6】 前記第 2 の補正量が、当該ブロック内のトレーニングデータに基づき算出された前記第 1 の補正量の全て或いは一部をリーク積分した積分値であることを特徴とする請求項 3 記載のディスク再生装置。

【請求項 7】 前記クロック生成手段が電圧制御発振器（VCO）を含む位相同期ループにて構成されると共に、前記クロック補正手段が前記 VCO への制御電圧にオフセットを与える手段を備え、前記オフセットを与える手段が前記第 1 の補正量若しくは第 2 の補正量に応じたオフセットを与えるようになされていることを特徴と

する請求項 1 乃至 6 のいずれかに記載のディスク再生装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は、ディスクに予め記録された位相情報の再生信号に基づいて外部クロックを生成し、この外部クロックを用いてデータの再生を行うディスク再生装置に関する。

**【0002】**

【従来の技術】 従来、光磁気ディスク等のディスク媒体においては、クロックビットやクロックマーク等の位相情報（マーク）が記録トラック上に予め形成されており、記録または再生用のクロックは、かかるクロックビットやクロックマークを再生した信号に基づいて生成されている。

【0003】 図 2 に、予めクロックマークが形成された光磁気ディスクの一例を示す図である。かかるディスクには、螺旋状の溝（グループ）が所定のピッチで形成されており、データの記録は、このグループと、隣接するグループ間の平面部（ランド）になされる。

【0004】 グループとランド上には、図 2 に示すように、クロックマーク（FCM: Fine Clock Mark）が放射状に並ぶように形成されている。この内、グループ上の FCM はランドと同一平面であり、ランド上の FCM はグループと同一深さの窪みである。

【0005】 データの記録または再生時に、かかる FCM を光ビームが走査すると、反射ビームの強度がパルス状に変化し、その結果、反射ビームを受光するセンサ出力にてパルス信号が生じる。外部クロックは、かかるパルス信号に基づいて PLL（Phase Locked Loop）回路によって生成される。

【0006】 しかしながら、このように外部位相情報によりクロックを生成すると、ディスクの温度特性や記録条件、またはディスク記録再生装置の種々の特性バラツキ等によって、生成されたクロックと再生信号との間に位相ズレが生じることがある。

【0007】 そこで、1 つのクロックマークとクロックマークに挟まれたデータ領域（Segment）の 1 つ以上を記録単位として、前記記録単位（予めディスクに記録されている 1 つのアドレスにて管理される領域）の先頭にデータと同期したトレーニングデータを記録しておき、このトレーニングデータの再生信号に基づいて、前記外部クロックの位相補正を行うようになされている。

【0008】 この点について更に説明する。図 2 のように、ディスクには螺旋状にグループ（Groove）およびランド（Land）が形成されており、さらに、グループとランド上には、一定回転角毎に FCM（Fine Clock Mark）が形成されている。ここで、ある FCM から次の FCM までをセグメント（Segment）とし、一つの記録単位としている。そして、一連のセグメントを 39 個集めて一つのフ

レームが構成され、更に一連のフレームを16個集めて1つのブロックが構成される。また、前記ブロックに対して、再生データの誤りを訂正或いは検出する目的で誤り訂正符号が付加されて記録される。

【0009】図3は、上記ブロック(Block)の構成を示す図であり、各セグメントは、532DCB(Data Clock Bit)のデータ長を有する。なお、FCMが割り当てられるFCMフィールドは12DCBに設定されている。

【0010】各フレーム中の先頭セグメント(Segment 0)は、当該フレームのアドレスを記録するためのものであり、アドレスの記録は、アドレスフィールド(Address)においてグループまたはランドの片側の壁面をアドレス値に応じてディスクの径方向に振幅(ウォブル)させることにより行われる。なお、当該セグメント(Segment 0)のアドレスフィールドには、光磁気効果によるデータの記録・再生は行われず、上記ウォブルによるアドレス記録のみが行われている。

【0011】先頭から2番目～39番目のセグメント(Segment 1～Segment 38)は、ヘッダーおよびユーザデータを記録するためのものである。第2番目のセグメント(Segment 1)には、FCMフィールド(FCM)、プリライトフィールド(Pre-Write)、ヘッダフィールド(Header)、データフィールド(Data)、ポストライトフィールド(Post-Write)が割り当てられる。また、第3番目～第39番目(Segment 2～Segment 38)には、FCMフィールド(FCM)、プリライトフィールド(Pre-Write)、データフィールド(Data)、ポストライトフィールド(Post-Write)が割り当てられる。各フィールドのデータクロックビット数は図示の通りである。

【0012】プリライトフィールド(Pre-Write)、ヘッダフィールド(Header)、データフィールド(Data)、ポストライトフィールド(Post-Write)には、光磁気効果を利用してデータが記録される。

【0013】上記各フィールドの内、プリライト(Pre-Write)フィールドにはデータの書き出しを示すための固定パターン、例えば"0011"のデータが記録される。また、ポストライト(Post-Write)フィールドにはデータの終結を示すための固定パターンであり、例えば"1100"のデータが記録される。さらに、データフィールドには、外部ソースからのユーザデータに対して誤り訂正符号を付加し、デジタル変調を施したデータデータ列が記録される。ヘッダーフィールドには、データフィールドの開始位置を確認するための固定パターンと再生クロックの位相補正を行うための固定パターンが記録される。位相補正のための固定パターン(トレーニングデータ)は、"1100"のデータを所定回数繰り返すことにより形成される。データの再生時に、かかるトレーニングデータを再生すると、図4に示すように、4DCB周期の正弦波状の再生RF信号が得られる。再生クロックの位相補正は、かかるトレーニングデータの再生R

F信号に基づいて行われる。

【0014】次に、位相補正の原理について図5～図7を参照して説明する。

【0015】各図に示す波形信号は、上記トレーニングデータを再生した際の再生RF信号であり、丸印は、再生クロックの発生タイミングを示している。

【0016】尚、図5はクロック位相が適正な場合、図6はクロック位相が再生RF信号に対し先行している場合、図7はクロック位相が再生RF信号に対し遅延している場合を夫々示しており、 $X_{i-1}$ 、 $X_i$ 、 $X_{i+1}$ はクロックの発生タイミングでサンプリングした再生RF信号のサンプル値である。H Level、C Level、L Levelは、それぞれピーク、センタ、ボトムにおける再生RF信号レベルの期待値である。

【0017】ERRは、トレーニングデータの再生RF信号におけるセンタ付近のサンプル値 $X_i$ と期待値C Levelとの差( $ERR = X_i - C \text{ Level}$ )であり、再生RF信号とクロックの位相ずれ量を表している。すなわち、クロック位相が適正な場合(図5)には、 $ERR = 0$ となり、両者の位相ずれ量は0である。これに対し、クロック位相が再生RF信号に対し先行している場合(図6)には $ERR < 0$ となり、逆にクロック位相が再生RF信号に対し遅延している場合(図7)  $ERR > 0$ となる。

【0018】したがって、 $ERR < 0$ であればクロックを遅らせる方向、 $ERR > 0$ であればクロックを進める方向に制御して、図5に示す状態に近づけて行くことにより、再生RF信号とクロックとの同期をとることができるようになる。

【0019】しかしながら、トレーニングデータ領域における局所的な欠陥等によってドロップアウトが発生して再生RF信号が図8のように変形すると、これに依拠してERRに乱れが生じる。例えば、図8は、クロック位相が再生RF信号に対し先行している場合(上記図7に相当)にドロップアウトが発生したものであるが、この場合には、 $ERR < 0$ となり、ドロップアウトが発生していない場合のERRとは正反対の極性を取ることになる。

【0020】また、トレーニングデータ領域の再生RF信号の特性が不良になると、図9のように変形する。これは、クロック位相が再生RF信号に対し遅延(上記図8に相当)して直流成分が残留したものであるが、この場合も、位相が遅延しているにも拘わらず $ERR > 0$ となり、本来のERRとは正反対の極性を取ることになる。

【0021】

【発明が解決しようとする課題】 上述したように、トレーニングデータにより外部クロック信号の位相調整を行う方法では、当該トレーニングデータの記録部分に欠陥や、再生信号の品質の劣化等により、却って位相のズレを助長するように位相補正がなされる場合がある。

【0022】このため、上記従来技術にあっては、位相補正がなされないデータ領域のデータを良好に再生で

きなくなるといった問題が生じる。

【0023】そこで、本発明は、データを良好に再生できる位相補正を成し得るようにせんとするものである。

【0024】

【課題を解決するための手段】上記課題を解決するために、本発明は以下の特徴を有する。

【0025】請求項1に係る発明は、クロック生成の基準となる位相情報がトラック上に形成されると共に、前記トラック上の各データ領域の先頭にデータと同期したトレーニングデータが記録されたディスクを再生するディスク再生装置であって、前記位相情報に基づきクロックを生成するクロック生成手段と、前記クロック生成手段からのクロック信号の位相を補正するクロック位相補正手段と、このクロック補正手段にて補正された補正クロック信号と前記データ領域に記録されたデータとの位相ずれを補正する第1の補正量を算出し、前記クロック補正手段に供給する第1の補正量算出手段と、第2の補正量を算出する第2の補正量算出手段を設け、前記第1の補正量に基づき補正された補正クロック信号による前記データの再生が良好に行われない際、前記第2の補正量を前記クロック補正手段に供給し、前記第2の補正量に基づき補正クロック信号を生成することを特徴とする。

【0026】請求項2に係る発明は、前記第2の補正量が、当該データ領域より前に記録されたデータ領域に対する補正量であることを特徴とする。

【0027】請求項3に係る発明は、前記ディスクが、少なくとも1つ以上の前記トレーニングデータを含むデータ領域に対して、誤り訂正符号を付加したブロックを形成して記録されており、前記ディスク再生装置が、前記誤り訂正符号に基づいてデータ誤りの訂正及び検出を行う誤り訂正手段を備え、前記誤り訂正手段の結果に基づき、前記データの再生の良否を判定することを特徴とする。

【0028】請求項4に係る発明は、前記第2の補正量が、当該ブロックより前に再生したブロック内のトレーニングデータに基づき算出された前記第1の補正量の平均値であることを特徴とする。

【0029】請求項5に係る発明は、前記第2の補正量が、再生されたトレーニングデータの基づき算出された前記第1の補正量をリーク積分した積分値であることを特徴とする。

【0030】請求項6に係る発明は、前記第2の補正量が、当該ブロック内のトレーニングデータに基づき算出された前記第1の補正量の全て或いは一部をリーク積分した積分値であることを特徴とする。

【0031】請求項7に係る発明は、前記クロック生成手段が電圧制御発振器（VCO）を含む位相同期ループにて構成されると共に、前記クロック補正手段が前記VCOへの制御電圧にオフセットを与える手段を備え、前

記オフセットを与える手段が前記第1の補正量若しくは第2の補正量に応じたオフセットを与えるようになされていることを特徴とする。

【0032】

【発明の実施の形態】以下、本発明の実施の形態につき図面を参照して説明する。

【0033】図1は本発明の一実施例を示すブロック図である。図において、101は図2で説明した光磁気ディスクで、信号伝送方式としてPR（パーシャルレスポンス）が採用されている。これは、光磁気ディスク101の記録密度を上げると、隣接する再生RF信号間で符号間干渉が発生するが、係る符号間干渉を防止せずに符号間干渉を持たせたまま信号を送信する方式がパーシャルレスポンス方式である。従って、光磁気ディスク101の再生RF信号は、PR方式〔例えば、PR（1，1）方式〕に応じて符号間干渉した再生波形となるため、かかる再生RF信号から“1”、“0”の2値再生データを得るには、後述するように、再生RF信号のサンプル値（多値）を干渉波形に近づけるよう波形等化した後、ビタビ復号することにより達成される。

【0034】102はピックアップで、光磁気ディスク101を光学的に走査することにより、再生RF信号、タンジェンシャルブッシュブル信号（TPP）を出力する。この内、再生RF信号は、光磁気効果による再生ビームのカー回転角に応じた信号で、上記PR（パーシャルレスポンス）方式に従うものである。また、TPP信号は、ディスクから反射される反射ビームにおける走査線方向の強度分布（グループまたはランドにおける長手方向の強度分布）に応じた信号である。

【0035】103はバンドパスフィルタ（BPF）で、偏心による低周波数成分及び後述するサンプリングにおいて低域へ折り返される高域成分の除去を行う。

【0036】104はAD変換器で、バンドパスフィルタ103の出力を後述する補正クロックCLKによってサンプリングし、サンプル値（多値）のデータを出力する。

【0037】105は波形等化器で、例えばPR方式の干渉波形に近似するようにフィルタリングするトランスバーサルフィルタにて構成される。波形等化器105にて、再生RF信号は再生可能な既知の符号間干渉特性を持つデータとなる。

【0038】106はビタビ復号回路で、PR方式の波形干渉の特性を活かし、データ識別時刻以前の復号状態によって、統計的に最も確からしい値を推測する復号アルゴリズムであるビタビアルゴリズムに基づき2値化判定を行い2値データを出力する。また、ビタビ復号回路106は、復号されたデータにおける“1”から“0”への変化タイミングでタイミング信号TNを出力する。

【0039】107はヘッド検出回路で、ビタビ復号回路106にて復号された上記2値データからセグメント

(Segment) 1のヘッダーフィールドの位置を検出し、各信号処理部に対してタイミング信号を出力する。ヘッダーフィールドの検出は、ヘッダーフィールドに記録された固有パターン(データフィールドの開始位置を確認するための固定パターン)を検出することによってなされる。

【0040】108はデータ復調回路で、ヘッダー検出回路107からのタイミング信号に応じて各セグメントのデータフィールドのデータをデジタル復調する。

【0041】109は誤り訂正回路で、復調されたデータに付加されている誤り訂正符号を用いて復調データの誤り検出・訂正を行い、誤りがある場合にはデータを訂正して図示しない再生回路に出力する。尚、誤り訂正回路109は、誤り訂正符号の訂正能力を超えた誤りが発生したか否かの判定も行い、誤りの有無、訂正の可否等をコントローラ114に出力する。

【0042】110はPLL回路で、図10に示すようにTPP信号からFCMを検出するFCM検出回路41と、位相比較器42と、電圧制御発振器(VCO)43と、VCO43の出力を532分周する532進カウンタ44とより構成される。ピックアップ102からのTPP信号内のFCM再生信号に同期した再生クロックPCLKを生成する。FCMを含むTPP信号(図11参照)は、再生光ビームがFCMを走査したタイミングで正弦波形となるため、FCM検出回路41は正弦波形のゼロクロス時点で立ち上がる検出信号FAを出力し、斯かる検出信号FAは、VCO43の出力信号を532分周する532進カウンタ44からの出力信号FBと位相比較器42において位相比較される。信号FAと信号FBとの間に位相差を生じると、これを積分した直流電圧をVCOへ供給してVCO43の出力信号(再生クロック信号)の位相を調整する。これにより、PLL回路110は上記正弦波形の中央のエッジに位相が同期した再生クロックPCLKを発生することになる。

【0043】111は補正量算出回路で、ビタビ復号回路106からのタイミング信号TNに基づき波形等化器105の出力から位相ずれ量ERRを算出し、この算出した位相ずれ量ERRに応じてPLL回路110からの再生クロックPCLKに対して位相補正を行う第1の補正量SEL1を出力する。

【0044】かかる位相ずれ量の算出は、上記セグメント(Segment)1のヘッダーフィールドのトレーニングデータを再生している期間に実行される。トレーニングデータの再生期間を示すタイミング信号TWはヘッダー検出回路107から、またトレーニングデータのC Levelの値をH LevelからL Levelに向けて通過するタイミングはビタビ復号回路106からタイミング信号TNとして入力される。サンプル点(Xi)は、ビタビ復号回路106における2値データの"1"から"0"への変化点に相当する。従って、E

RRは、再生期間を示すタイミング信号TWと2値データの"1"から"0"への変化タイミングを示すタイミング信号TNが入力されたタイミングで求められる。

【0045】112は第2の補正量算出手段となる平均化回路で、補正量算出回路111からの第1の補正量SEL1を全期間或いは所定期間に平均化した補正量を算出し、1つの誤り訂正ブロック内では一定の値を示す第2の補正量SEL2として出力する。また、第2の補正量SEL2を更新する誤り訂正ブロックの開始タイミング信号BP及び第1の補正量SEL1を取り込むためのフレーム周期のタイミング信号FPは、後述するコントローラ114から入力される。

【0046】113はクロック位相補正回路で、後述するコントローラからの選択信号MODEを受けて、補正量算出回路112からの第1の補正量SEL1と、平均化回路112の出力である第2の補正量SEL2の内、いずれかを選択して、PLL回路110からの再生クロックPCLKの位相を補正して補正クロックRCLKを出力する。

【0047】114はコントローラで、マイクロプロセッサ或いはDSP(デジタルシグナルプロセッサ)等によって構成され、光磁気ディスク再生装置内の総合的な制御を行う。

【0048】コントローラ114は、外部からデータ再生の要求があると、要求されたブロックの再生を行うべくディスク再生装置内の各ユニットに対して指示する。クロック位相補正回路113に対しては、記録されたトレーニングデータによって算出される第1の位相補正量SEL1にて位相補正した補正クロックRCLKを得るように選択信号MODEによって指示する。

【0049】斯かるデータの再生は、当該ブロックに対して誤りが無いか、または誤りが有るも訂正できる場合には、終了する。

【0050】一方、訂正できない誤りが存在することを誤り訂正回路109からの出力に基づき検出した場合には、コントローラ114は再度当該ブロックの再生(リトライ)を行うよう指示する。この時、コントローラ114は、トレーニングデータの欠陥、再生不良等によって再生クロックRCLKの位相が適当でなかったと判断し、選択信号MODEを反転させ平均化回路112の出力である第2の補正量SEL2にて補正した補正クロックRCLKを出力する。

【0051】コントローラ114は、ブロックの先頭を示すタイミング信号BP及び第1の補正量SEL1を取り込むためのフレームタイミング信号FPを平均化回路112に対して出力する。

【0052】図1に示す実施例によれば、ディスク再生装置がトレーニングデータを再生しているタイミングに、例えば、図8または図9のように再生RF信号が乱れて、誤ったクロックの補正が行われたことによって、

データの再生が良好に行われなかった場合、平均化回路112に保持された、第2の補正量SEL2（当該ブロック以前に良好な再生を行えたクロックの補正量の平均値）に従って再生クロックPCLKを補正し、当該ブロックにおいても良好なクロック出力を実現できる。そして、トレーニングデータが乱れていない場合には、補正量算出回路111からの第1の補正量SEL1が選択され、各フレーム毎に求めた第1の補正量SEL1に従って再生クロックPCLKの位相が補正される。

【0053】図12は、補正量算出回路111の一例を示す図であり、51は減算器、52はゲート、53はレベル判定回路、54、55はゲート、56はアップダウンカウンタ、57、58はそれぞれ値“m”、“0”との一致／不一致を判定する比較器、59はエッジ検出回路である。

【0054】51は減算器で、入力されたサンプルデータDinから直流成分（C Level）を減算して位相ずれ量ERRを出力する。52はゲートで、ビタビ復号回路106からのサンプリングデータDinの“1”から“0”への変化点を示すタイミング信号TNと、ヘッダ検出部107からのトレーニングデータフィールドを示すタイミング信号TWを入力とし、図5～図7におけるXiの位置を示すタイミング信号を出力する。53はレベル判定回路で、ゲート52の出力である上記タイミング信号に応じて動作し、位相ずれ量ERRが所定の範囲内（即ち、データ再生に影響を与えない範囲内）にあるか、あるいは範囲以上であるか、範囲以下であるかを判定する。

【0055】例えば、AD変換器104が8ビット精度であり、RF信号がAD変換器104の有効レンジの80％程度で入力されたとし、 $nT:2T$  ( $n \geq 3$ )の振幅比が約5:4（80％）であるとする、補正クロックが $\pm 10$ 度以内の範囲に収まる所定範囲は $|ERR| \leq 16$ となる。

【0056】そして、位相ずれ量ERRが所定の範囲外にある時のみ、ゲート54、55に動作信号が出力される。この際、ERRが所定の範囲より小さい場合にはゲート54を介してアップダウンカウンタ56にアップ指令（UP）を発し、ERRが所定の範囲より大きい場合には、ゲート55を介してアップダウンカウンタ56にダウン指令（DOWN）を発する。54はゲートで、レベル判定回路51からアップ指令、且つ、比較器58からの信号がハイレベル（不一致、 $< m$ ）にある時にアップダウンカウンタ56にアップ指令を出力する。

【0057】55はゲートで、レベル判定回路51からダウン指令、且つ、比較器57からの信号がハイレベル（不一致、 $> 0$ ）にある時にアップダウンカウンタ56にダウン指令を出力する。

【0058】57、58は比較器で、クロック位相補正回路113にて補正可能な補正量の上限である値“m”と

下限である値“0”との比較結果をそれぞれ出力する。各比較器は、アップダウンカウンタ56の値が、 $0 \sim m$ の範囲から逸脱しないようにするリミッタとして機能するものであり、カウンタ56の値が値“m”または“0”に達したときに制御信号を出力する。56は、アップダウンカウンタで、ゲート52から動作指令信号が入力され、且つ、レベル判定回路53からアップ指令またはダウン指令が入力されると、カウント値を1だけカウントアップまたはカウントダウンし、カウント値である第1の補正量SEL1を出力する。

【0059】59はエッジ検出回路で、タイミング信号TWに先行したタイミング信号を作り出し、アップダウンカウンタ56のINIT端子に供給する。アップダウンカウンタ56は、INIT端子にエッジ検出回路59の出力が入力されると、初期値（ $m/2$ 付近の整数値）がセットされる。即ち、トレーニングデータフィールドが検出される毎に初期値が設定されることになる。

【0060】斯かる動作について、第1の補正量の変化とERRの変化を示す図13を参照して説明する。

【0061】エッジ検出回路59からのタイミング信号がアップダウンカウンタ56のINIT端子に供給されると、第1の補正量SEL1として初期値（ $m/2$ 付近の整数値）がセットされる。そして、図5～図7におけるXiの位置を示すタイミング信号に応じてERRのレベルを判定し、アップダウンカウンタ56のカウント値を変化させる。図から明らかなように、この場合には、第1の補正量SEL1が小さくなるにつれ、ERRがゼロに収束している。

【0062】尚、図12にはカウンタによる補正量算出回路の例を示したが、これに代えて、ループフィルターを用いた判定や、平均位相ずれ量による位相判定等を採用する構成とすることも可能である。また、位相補正量としてクロック周期分（クロック位相360度）にてサイクリックに動作するアップダウンカウンタを図12におけるアップダウンカウンタ55に代えて採用することもできる。この場合には、ゲート54、55、比較器57、58にて実現されるリミッタ機能は不要になる。

【0063】図14は、平均化回路の一例を示すものであり、60は正規化回路、61、62はそれぞれ（ $1-a$ ）倍、 $a$ 倍（ $a \leq 1$ ）の乗算器、63は加算器、64、65はフリップフロップである。斯かる乗算器61、62、加算器63、フリップフロップ63にてリーク積分回路が構成され、正規化された第1の補正量SEL1を平均化する。

【0064】入力された第1の補正量SEL1は、正規化回路60において、クロック1周期に対する補正量に正規化される。例えば、クロックの周波数を25MHzとすると、1周期は40nsec（360度）となるため、40nsecを越える補正値は40nsec以内の補正として取り扱うことができる。即ち、50nsec



(405度)の遅延は、10nsecの遅延(45度)となる。

【0065】フリップフロップ65は、第2の補正量SEL2を1ブロック期間保持するフリップフロップであり、ブロックタイミング信号BPにて動作する。

【0066】図15は、平均化回路の別の構成例を示すものであり、70は正規化回路、71は加算器、72はクリア機能付きのフリップフロップ、73は4ビット下方にシフトするビットシフト回路、74、75はフリップフロップである。タイミング信号BP1は、誤り訂正回路109の結果に基づいて発生タイミング信号で、ブロックタイミング信号BPから所定時間遅れてコントローラ114から入力される。正規化回路70は図14における正規化回路60と同一の処理を行う。この回路は1ブロック内における第1の位相補正量SEL1の全て、即ち、16個の第1の補正量SEL1の平均値を求め、第2の補正量SEL2とするものである。フリップフロップ71のクリア端子CLに入力されたブロックの開始タイミング信号BPにて"0"に初期化される。加算器71はフリップフロップに保持された値と各フレーム毎に求められる第1の補正量SEL1を加算する。加算結果は、フレーム毎にタイミング信号FPに従ってフリップフロップ72を更新することで保持され累積加算が行われる。この累積加算結果はビットシフト回路73にて下方に4ビットシフト、即ち、1/16に除算される。16フレーム累積加算するとタイミング信号BPに従って、この1/16した累積加算値、即ち、ブロック平均値がフリップフロップ74に保持される。さらにタイミング信号BPより所定時間遅れたブロック周期のタイミングパルスBP1に従ってフリップフロップ74の出力をフリップフロップで75にて1ブロック期間保持し、第2の補正量SEL2として出力する。

【0067】尚、誤り訂正回路109にて誤りが有り且つ訂正不可と判断された場合、タイミング信号BP1は発生しない。

【0068】図16は、クロック位相補正回路113の具体的な構成例を示すものである。図において、81は切り換え器で、コントローラ114からの選択信号MODEに従って、第1の補正量SEL1と第2の補正量SEL2のいずれかを選択して、後述する選択器82に補正制御データとして出力する。82は選択器で、切り換え器81からの補正量SELに応じて、遅延クロックCLK0~CLKmから1つを選択して、補正クロックRCLKとして出力する。ここで当該補正制御データがn( $0 \leq n \leq m$ )であるとすると、遅延クロックCLK0~CLKmの中からCLKn選択されることになる。83は遅延線で、再生クロックPCLKを入力とし、等間隔の遅延量である $m+1$ 種類の遅延クロックCLK0~CLKmを出力する。

【0069】尚、上記位相補正回路113は、図16に

示す構成の他、種々の変更が可能である。例えば、再生クロックPCLKを基準として第2のPLLを掛け、第1の補正量SEL1又は第2の補正量SEL2に応じて位相調整する構成とすることも可能である。また、PLL110におけるVCOの制御電圧にオフセットを加えることにより位相調整することも可能である。

【0070】以上、本発明の実施の形態について説明したが、本発明はかかる実施の形態に制限されるものではなく、他に種々の変更が可能である。

【0071】具体的には、上記図1の平均化回路112に代えて第2の補正量をコントローラによって決定する構成としても良く、係る構成例を図17に示す。図17において、115はコントローラであり、図1のコントローラ114と同一の機能を備え、加えて第2の補正量SEL2を決定するアルゴリズムを組み込んだコントローラである。第2の補正量SEL2の決定をコントローラ115で実行することで、更に複雑な基準で決定することが可能になる。例えば、誤りが有り且つ訂正できないブロック内の同一ブロック内におけるデータ再生が良好なフレームにおける第1の補正量SEL1の平均補正量、データ再生が良好なフレームにおいて前後のフレームにおける第1の補正量SEL1の平均値或いは直前フレームの第1の補正量SEL1、予め定めた固定値等が考えられる。

【0072】ここで、良好なデータ再生とは、例えば、フレームを構成する各セグメントに記録されデータに同期した既知のパターンである位相補正処理終了後の残りのヘッダ、ブリライト、ポストライト等の再生率によって判定することも考えられる。

【0073】また、波形等化器105をAD変換器104の前段に配置し、アナログ波形等化によってPR特性に等化するようにしても良い。

【0074】また、PR(1, 1)方式の光磁気ディスクを例示して説明したが、他のデータ伝送方式の光磁気ディスクや、相変化型ディスクの記録再生装置にも本発明を適用することができる。

【0075】

【発明の効果】以上、本発明によれば、トレーニングデータを記録した領域におけるディスクの局所的な欠陥や再生不良により、適正な位相補正が行われなかった場合でも、適正なクロックにてデータの再生を行うことができる。

【0076】また、欠陥や再生不良が発生した際には、それ以前に再生されたデータ領域に対する補正量を用いているため、クロック補正におけるばらつきが軽減される。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】光磁気ディスクの構成例を示す図である。

【図3】光磁気ディスクにおけるデータ構成例を示す図



である。

【図4】トレーニングデータの再生RF信号波形を示す図である。

【図5】位相ずれ検出原理を説明するための波形図で、再生RF信号とクロックとが同期している状態を示す図である。

【図6】位相ずれ検出原理を説明するための波形図で、再生RF信号がクロック信号よりも進んでいる状態を示す図である。

【図7】位相ずれ検出原理を説明するための波形図で、再生RF信号がクロック信号よりも送れている状態を示す図である。

【図8】位相ずれ検出原理を説明するための波形図で、トレーニングデータ領域に欠陥が生じた時の状態を示す図である。

【図9】位相ずれ検出原理を説明するための波形図で、再生RF信号特性が不良の時の状態例を示す図である。

【図10】クロック生成回路の構成例を示す図である。

【図11】クロックマークの再生波形及びクロック生成回路各部の信号波形を示す図である。

【図12】本発明に係る補正量算出回路の一例を示す図である。

【図13】第1の補正值とERRとの関係を説明するた

めの図である。

【図14】本発明に係る平均化回路の一例を示す図である。

【図15】本発明に係る平均化回路の他の例を示す図である。

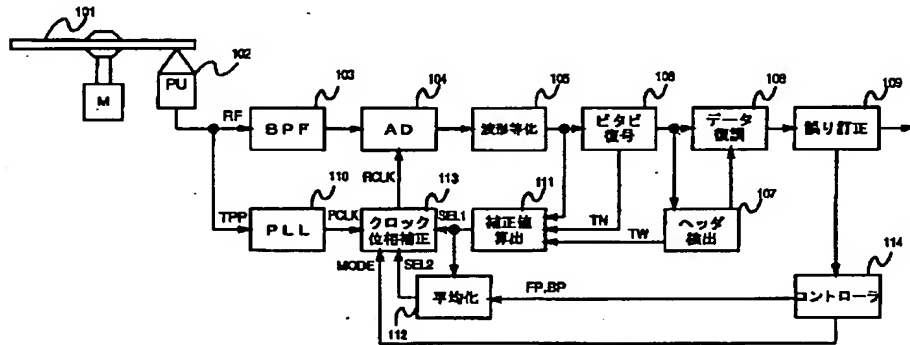
【図16】本発明に係る位相補正回路の一例を示す図である。

【図17】本発明の他の実施例を示すブロック図である。

#### 【符号の説明】

- 101 光磁気ディスク
- 102 ピックアップ
- 103 波形等化器
- 104 AD変換器
- 106 ビタビ復号回路
- 107 ヘッド検出回路
- 108 データ復調回路
- 109 誤り訂正回路
- 110 PLL回路
- 111 補正量算出回路
- 112 平均化回路
- 113 クロック位相補正回路
- 114 コントローラ

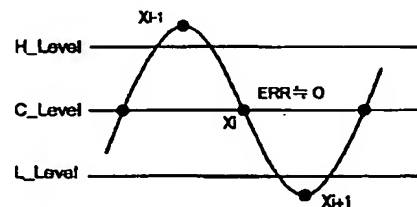
【図1】



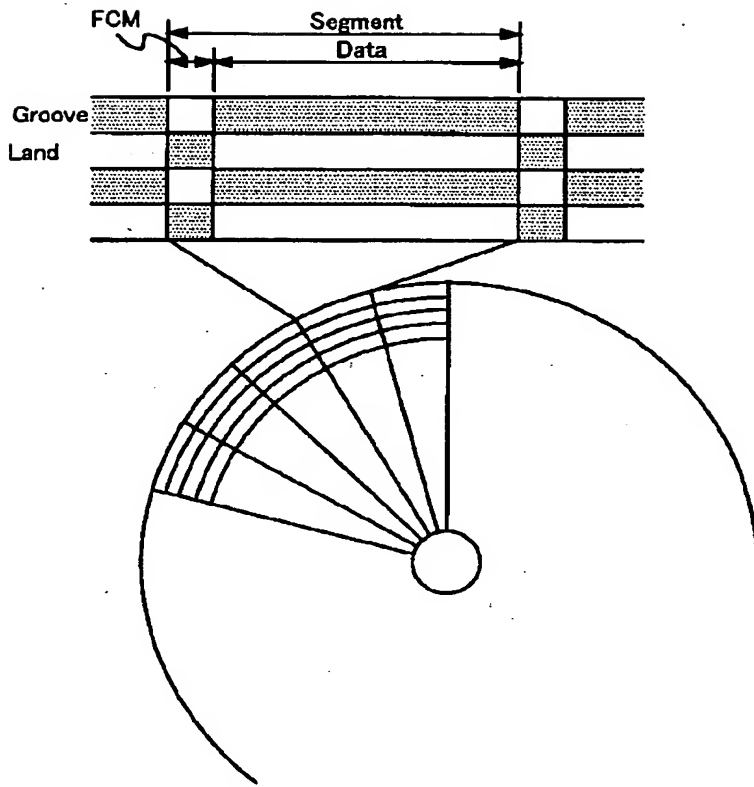
【図4】



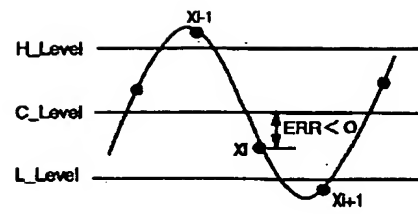
【図5】



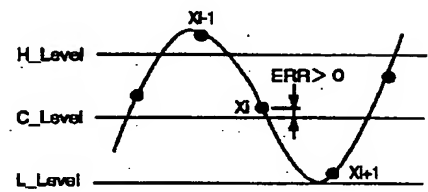
【図2】



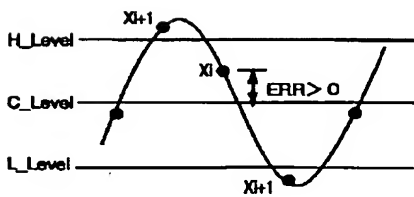
【図6】



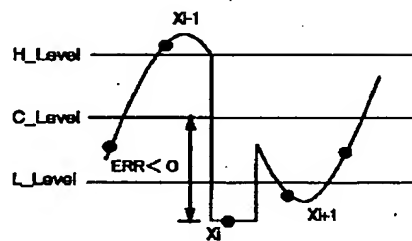
【図9】



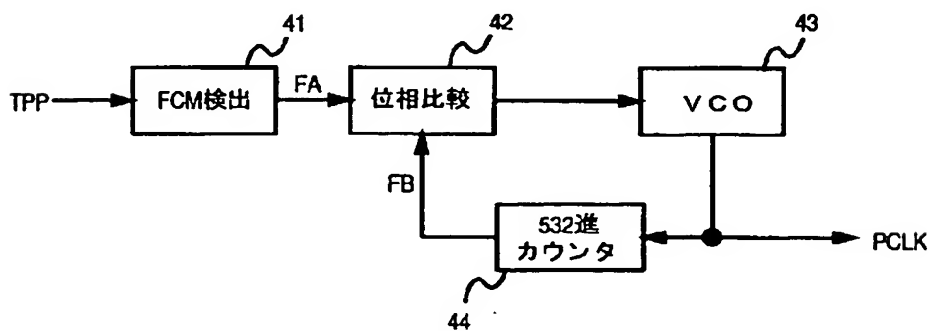
【図7】



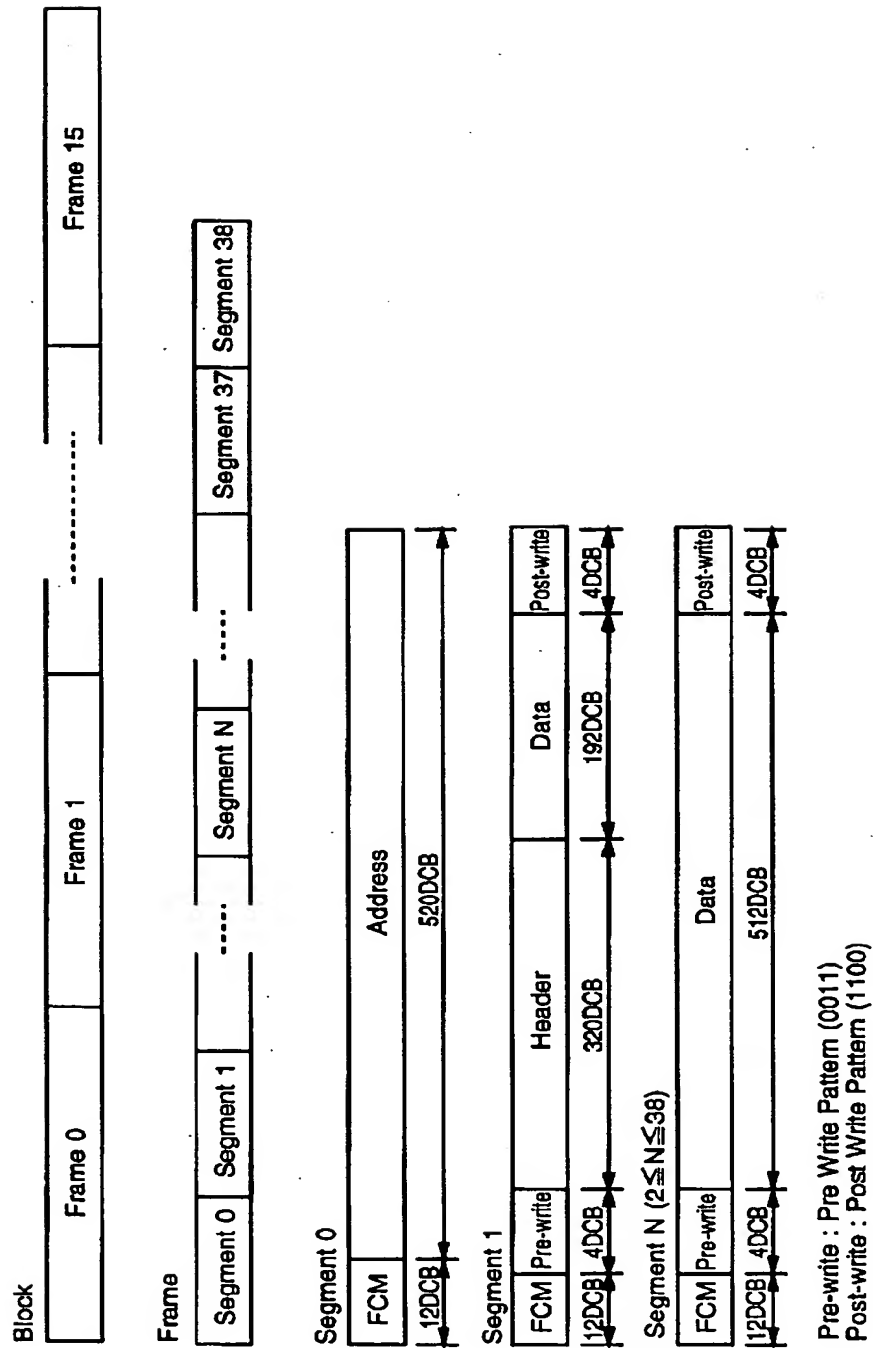
【図8】



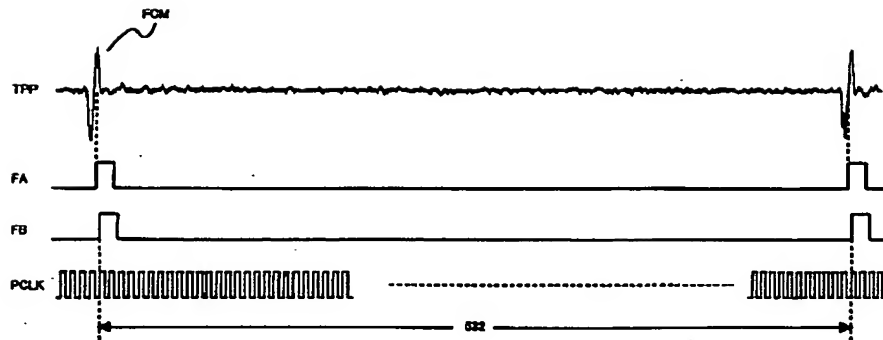
【図10】



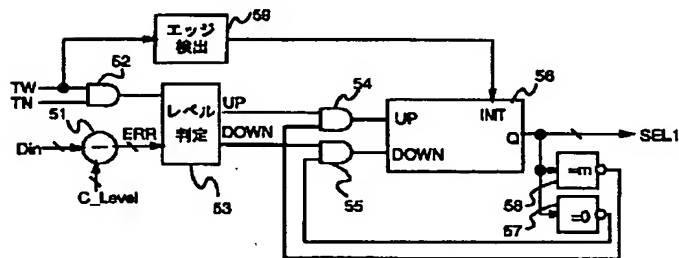
【図3】



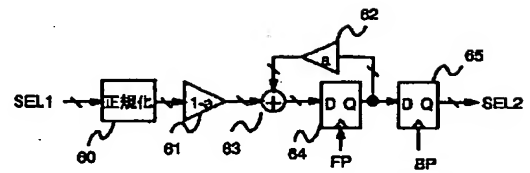
【図11】



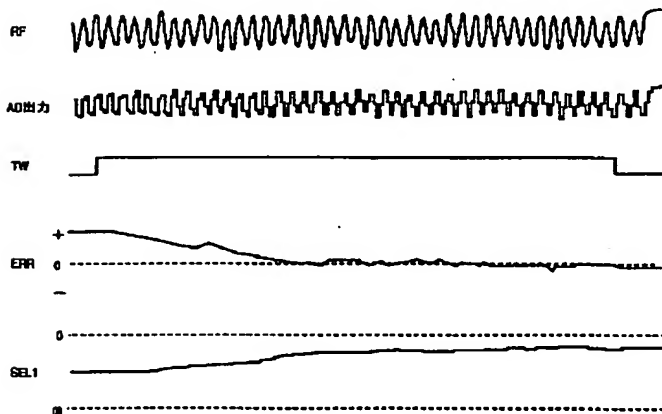
【図12】



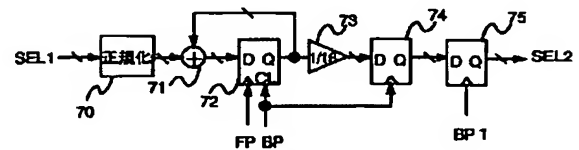
【図13】



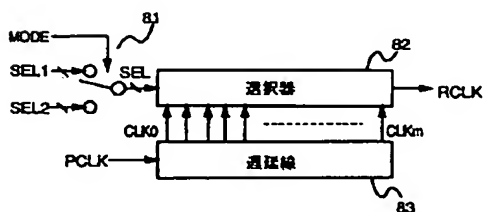
【図14】



【図15】



【図16】



【図 17】

